

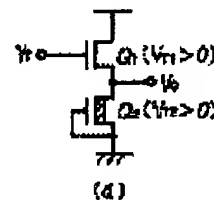
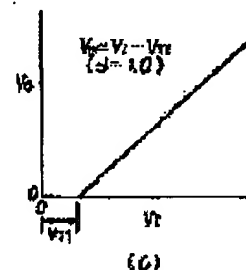
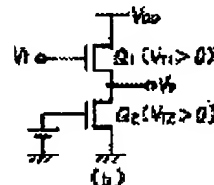
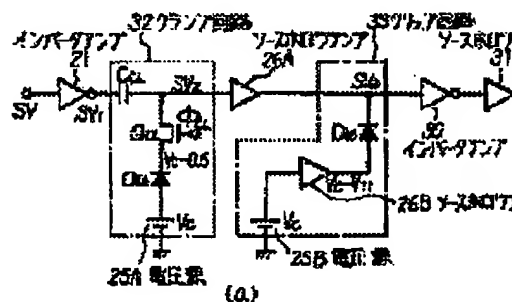
OUTPUT CIRCUIT FOR SOLID STATE IMAGE PICKUP DEVICE

Patent number: JP8186765
 Publication date: 1996-07-16
 Inventor: KIMURA TETSUJI
 Applicant: NEC CORP
 Classification:
 - International: H04N5/335; H01L29/762; H01L21/339
 - european:
 Application number: JP19940327915 19941228
 Priority number(s):

Abstract of JP8186765

PURPOSE: To provide an output circuit which can be integrated on the same chip as a solid state image pickup device and can reduce the reset field-through noises without increasing much the chip area.

CONSTITUTION: This output circuit includes a clamping circuit 34 consisting of a clamping capacitor C_{CL} , a clamping switch C_{CL} , a diode D_{IA} and a voltage source 25A, a source follower amplifier (voltage amplifier) 26A, and a diode clip circuit 35 consisting of a diode D_{IB} a source follower amplifier (voltage amplifier) 26B and a voltage source 25b. Then the DC level of a reset field- through period is clamped at a fixed value. Each constitution has the same structure of circuit elements between the diodes D_{IA} and D_{IB} the sources 25A and 25B, and the amplifiers 26A and 26B respectively so that the same electrical characteristic is secured among them. As a result, the DC level of the reset field-through period that passed through the amplifiers 26 is equal to the potentials that are clipped by the diodes.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186765

(43) 公開日 平成8年(1996)7月16日

| (51) Int.Cl. ⁴ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|------------|--------|
| H04N 5/335 | | P | | |
| H01L 29/762 | | | | |
| 21/339 | | | | |
| | | | H01L 29/76 | 301 C |
| 審査請求 有 請求項の数 5 (全 13 頁) | | | | |

(21) 出願番号 特願平6-327915

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 哲司

東京都港区芝五丁目7番1号 日本電気株式会社内

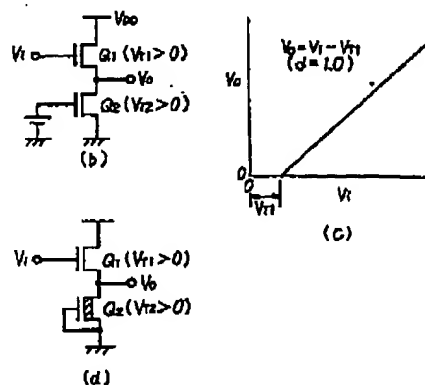
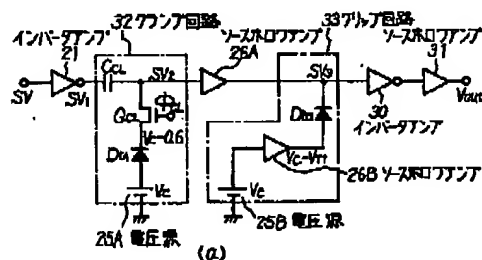
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 固体撮像装置の出力回路

(57) 【要約】

【目的】 固体撮像装置と同一チップ上に集積化可能で、チップ面積を大幅増加させずにリセット・フィードスルー・ノイズを低減できる出力回路を提供する。

【構成】 クランプコンデンサ C_{CL} 、クランプスイッチ Q_{CL} 、ダイオード D_{1A} 、電圧源 25A からなるクランプ回路 34 と、ソースホロワアンプ 26A (電圧アンプ) と、ダイオード D_{1B} とソースホロワアンプ 26B (電圧アンプ) と電圧源 25B とからなるダイオードクリップ回路 35 とを設け、リセット・フィードスルー期間の DC レベルを一定値にクランプする。ダイオード D_{1A} とダイオード D_{1B} 、電圧源 25A と電圧源 25B、電圧アンプ 26A と電圧アンプ 26B それぞれどうしの電気的特性を同一となるように、それぞれを構成する回路素子の構造を同じくして、電圧アンプ 26B を通った後のリセット・フィードスルー期間の DC レベルとダイオードクリップされる電位を同一にする。



(2)

特開平8-186765

1

【特許請求の範囲】

【請求項1】 固体撮像装置が入射光を光電変換しリセット期間、リセット・フィードスルー期間及び信号期間に分けて出力する信号電圧を外部に取り出すために、前記固体撮像装置の出力信号電圧を受け、これを反転して正極性の信号電圧にする手段と、

前記正極性信号電圧のリセット・フィードスルー期間の直流レベルを一定値にクランプする手段と、

前記クランプされた後の信号電圧を増幅する電圧増幅手段と、

前記電圧増幅手段を通った後の信号電圧を、その信号電圧のリセット・フィードスルー期間の直流レベルと同一のレベルでクリップして、リセット期間とリセット・フィードスルー期間の信号レベル差を除去するクリップ手段とを少なくとも備え、

前記固体撮像装置と同一半導体基板上に形成されたことを特徴とする固体撮像装置の出力回路。

【請求項2】 受光した光を信号電荷に変換し蓄積する受光部と、蓄積された信号電荷を転送する電荷転送部と、前記受光部から前記電荷転送部へ信号電荷を読み出す電荷読出し部と、前記電荷転送部によって転送された信号電荷をリセット期間、リセット・フィードスルー期間及び信号期間からなる前記信号電圧に変換する信号電荷変換部とを含んで成る固体撮像装置からの信号電圧を外部に取り出すための出力回路であって、前記固体撮像装置と同一半導体基板上に、前記信号電荷変換部に接続するように形成された出力回路において、

コンデンサと、第1の電圧源と、第1のダイオードと、クランプスイッチとを含んで構成されるクランプ回路と、

前記クランプ回路の出力点に接続された第1の電圧増幅器と、

第2の電圧源と、第2のダイオードと、第2の電圧増幅器とを含んで成り、前記第1の電圧増幅器の出力点に接続されたダイオードクリップ回路とを少なくとも備え、

前記固体撮像装置から入力される信号電圧を一度正極性の信号電圧に変換した後、前記クランプ回路に入力し、前記リセット・フィードスルー期間の一部もしくは全部の間前記クランプスイッチをオン状態にして、前記クランプ回路への入力信号電圧のリセット・フィードスルー期間の信号電圧レベルを、前記第1の電圧源及び前記第1のダイオードによって定まる所定の電位に固定し、前記リセット・フィードスルー期間の信号レベルがクランプされた信号電圧を前記第1の電圧増幅器を通した後前記ダイオードクリップ回路に入力し、波形の一部を、前記第2の電圧源と前記第2のダイオードと前記第2の電圧増幅器とで定まるクリップレベルで除去するように構成すると共に、

前記第1の電圧源と前記第2の電圧源、前記第1のダイオードと前記第2のダイオード及び前記第1の電圧増幅

2

器と前記第2の電圧増幅器とがそれぞれ同一の電気的特性を有するように、それぞれの回路構成及び素子構造を同一にして、前記第1の電圧増幅器を通った後の信号電圧のリセット・フィードスルー期間のレベルと、前記ダイオードクリップ回路のクリップレベルとが同一であるようにすることにより、

前記第1の電圧増幅器を通った後の信号電圧におけるリセット期間とリセット・フィードスルー期間の信号レベル差を除去するように構成したことを特徴とする固体撮像装置の出力回路。

【請求項3】 請求項2記載の固体撮像装置の出力回路において、

前記信号電荷変換部が、フローティング・ダイオード増幅器型電荷検出装置からなることを特徴とする固体撮像装置の出力回路。

【請求項4】 請求項2記載の固体撮像装置の出力回路において、

前記第1の電圧増幅器及び前記第2の電圧増幅器がソースホロワ増幅器であって、ゲインが1に近いものであることを特徴とする固体撮像装置の出力回路。

【請求項5】 請求項2記載の固体撮像装置の出力回路において、

前記第1の電圧増幅器及び前記第2の電圧増幅器が反転増幅器であって、ゲインが-1であることを特徴とする固体撮像装置の出力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、固体撮像装置が受光し電圧に変換したその信号電圧を外部に取り出すための出力回路に関し、特に、出力信号におけるリセット期間とリセット・フィードスルー期間のレベル差（リセット・フィードスルー・ノイズ）を低減した出力回路に関する。

【0002】

【従来の技術】 固体撮像装置、例えば電荷転送機能を利用したCCD固体撮像装置は、受光した光を信号電荷に変換する機能と、得られた信号電荷を最終的に信号電圧に変換する機能とを備えているが、その信号電圧への変換を実現するための信号電荷変換部には、変換効率が高いことから、通常、フローティング・ダイオード（または、フローティング・ディフュージョン）増幅器型電荷検出装置（FDA）が用いられている。そのようなFDAを用いた二次元CCD固体撮像装置の全体構成図を、図6に示す。同図を参照して、n型シリコン単結晶板などからなる基板1の表面部にボロンなどのp型不純物を導入して形成したpウェル2に、光を信号電荷に変換し蓄積する受光部3が一次元のアレイ状に配置されている。電荷読出し部4は、信号電荷を受光部3から電荷転送部5に一定の蓄積時間ごとに読み出す。信号電荷変換部6は、電荷転送部5によって転送されてきた信号電荷

(3)

特開平8-186765

3

を、容量 C_{FJ} により順次信号電圧に変換する。この信号電荷変換部6は、F D Aからなる。容量 C_{FJ} としては、pnダイオードの接合容量を利用している。リセットトランジスタ Q_R は、信号電荷変換部6で検出された後の不用となった信号電荷を外部に排出する。出力部10は、信号電荷変換部6に接続されて所定の信号処理を行ったのち外部に出力するための回路である。この出力部10は、初段ソースホロワと、電圧増幅器やソースホロワ回路からなる出力回路11とからなる。この出力回路11が、本発明の対象である。初段ソースホロワは、能動側MOSトランジスタ Q_D と負荷側MOSトランジスタ Q_L とで構成される。

【0003】図7に、上述の固体撮像装置の動作時におけるリセットパルス ϕ_R 、転送パルス ϕ_1 、 ϕ_2 、信号電荷転送部6の電圧 V_{FJ} 、出力電圧 V_{out} のタイミング図を示す。図7からわかるように、信号電荷変換部6で順次変換される信号電圧 V_{FJ} は、3つの期間からなる。すなわち、リセットパルス ϕ_R が「ハイ」の状態になることによりリセットトランジスタ Q_R が導通して、信号電荷変換部6の電位が一定レベル V_{DD} にリセットされる期間（リセット期間）と、リセットパルス ϕ_R が「ハイ」から「ロウ」になりリセットトランジスタ Q_R が遮断して、電荷転送部5から信号電荷 Q が信号電荷変換部6に入力されるのを待っている期間（リセット・フィードスルー期間。転送パルス ϕ_1 ＝「ハイ」、転送パルス ϕ_2 ＝「ロウ」）と、転送パルス ϕ_1 が「ハイ」から「ロウ」になり電荷転送部5から信号電荷 Q が信号電荷変換部6に入力され、信号電荷変換部6の容量 C_{FJ} により信号電圧 V_{PJ} （ $Q = C_{FJ} \cdot V_{PJ}$ ）に変換される期間（信号期間）とである。

【0004】ここで、電圧 V_{PJ} のリセット期間の信号電圧レベル V_{DD} とリセット・フィードスルー期間の信号電圧レベルとの間には、電位差が発生する。この電位差を、以後、リセット・フィードスルー・ノイズと呼ぶ。リセット・フィードスルー・ノイズは、次のような3つの原因で発生する。

【0005】一つは、リセットトランジスタ Q_R のゲート電極と信号電荷変換部6の間のカップリング容量 C_P により、リセットパルス ϕ_R が「ハイ」から「ロウ」に変化する際に発生するカップリング・ノイズによるものである。

【0006】もう一つは、リセットトランジスタ Q_R を導通させて電圧 V_{FJ} の電位を V_{DD} にセットする際にトランジスタ Q_R のチャネルの熱雑音が電圧 V_{FJ} のレベルに重畳されることにより、リセット直後の電圧 V_{FJ} のレベルが変動するランダム・ノイズによるものである。

【0007】更にもう一つは、リセットトランジスタ Q_R がオン状態からオフ状態に変化する際に、このトランジスタ Q_R のチャネルに存在していた電子の一部が信号電荷変換部6に振り分けられることによって発生するラ

4

ンダム・ノイズによるものである。

【0008】以上のような3つの原因によって発生したリセット・フィードスルー・ノイズは、信号電圧 V_{FJ} の振幅のうち数100mV程度を占める。又、その値は、1画素期間（＝リセット期間＋リセット・フィードスルー期間＋信号期間）ごとにランダムに変る。そのため、この電圧 V_{FJ} をもとに出力部10を通して増幅された固体撮像装置の出力 V_{out} をFAXやスキャナ等の装置に使用するうえで、電圧 V_{out} の基準レベルの設定やダイナミックレンジの制限（電圧 V_{out} の振幅のうち1/2～1/3程度は、信号電圧以外のリセット・フィードスルー・ノイズ成分となる）などの問題が生じる。そこで、このリセット・フィードスルー・ノイズを低減するべく従来、様々な方法が考えられている。

【0009】図8は、そのようなリセット・フィードスルー・ノイズ低減対策を施した固体撮像装置の全体構成図である。又、図9は、この固体撮像装置の動作時の信号波形を示すタイミング図である。図8を参照すると、この撮像装置は、電荷転送部5に接続された信号電荷変換部6、リセットトランジスタ Q_R 、出力部10とそれぞれ同一のものを、もう1つつづつ撮像装置内に備えている（それぞれ、信号電荷変換部6B、リセットトランジスタ Q_{RB} 、能動側トランジスタ Q_D 、負荷側トランジスタ Q_L 、出力部11B）。そして、二つ目の信号電荷変換部6Bには信号電荷が入らないようにされている。このようにすることで、信号電荷変換部6Bの信号電圧 V_{FJB} はリセット・フィードスルー・ノイズのみとなる。それら信号電圧 V_{FJ} 、 V_{FJB} はそれぞれ同一の出力回路11、11Bにより、2つの出力端子から信号 V_{out} 、 V_{cs} として出力される。これら2出力 V_{out} 、 V_{cs} を用いて外部の減算回路12で減算処理（増幅率 α ）することにより、リセット・フィードスルー・ノイズのない信号成分を取り出すことができる。尚、この例では出力回路11、11B内にリセット・フィードスルー期間を一定レベル V_C にクランプする回路を設けている。それらは、2つの信号 V_{out} 、 V_{cs} のリセット・フィードスルー期間におけるDCレベルを同一の一定値 V_{OP} にするためのものである。このクランプ回路は、初段ソースホロワ及びクランプ回路から発生する1/fノイズによるリセット・フィードスルー・レベルのゆらぎを低減する効果もある。これは、初段ソースホロワの能動側MOSトランジスタは信号電荷変換部に直接接続されており、初段ソースホロワの入力容量が信号電荷変換部の容量 C_{FJ} の構成要素の1つとなっているので、通常、初段ソースホロワの能動側MOSトランジスタのサイズは可能な限り小さくして変換効率（感度）を上げる必要があり、このことから、出力部10を構成するMOSトランジスタにおける1/fノイズの発生は殆どが、初段ソースホロワからのものであるからである。

【0010】図10は、図6に示した固体撮像装置にお

(4)

特開平 8-186765

5

いて出力回路 11 を工夫し、リセット・フィードスルー・ノイズを低減した別の例を示す回路図である。又、図 11 は、その動作時のタイミング図である。図 10 及び図 11 を参照して、入力信号 S_V はクランプ回路 13 によりリセット・フィード・スルー期間の DC レベルが一定値 V_C にクランプされて、信号 S_{V1} となる。信号 S_{V1} はその後、サンプルホールド回路 14 により信号期間の DC レベルをサンプルホールドコンデンサ C_{SH} にホールドされて、信号 S_{V2} となり、一段のソースホロワを通過して出力信号 V_{out} として出力される。この例の出力回路の場合、信号電圧の基準レベルが必要であり、通常は、暗電流成分のみを信号電圧 V_d に持つオプティカルブラックを基準とする。この例でも、リセット・フィード・スルー期間のクランプ回路を用いているので、出力回路の初段 MOS トランジスタから発生する $1/f$ ノイズが低減されている。

【0011】図 12 は更に別の例を示す回路図であり、図 13 はその動作時のタイミング図である。この例は、図 6 に示した固体撮像装置の出力回路 11 において、相関二重サンプリング法によってリセット・フィードスルー・ノイズを取り除く例である。図 12 及び図 13 を参照して、この出力回路への入力信号 S_V は 2 つに分けられる。その一方は、リセット・フィードスルー期間の DC レベルを 2 段のサンプルホールド回路 15A、15B により検出されて、信号 S_{V2} となる。もう一方は、信号期間の DC レベルをサンプルホールド回路 15C により検出されて、信号 S_{V1} となる。この 2 つの信号 S_{V1} 、 S_{V2} を減算回路 12 に入力することにより、リセット・フィードスルー・ノイズのない出力電圧 V_{out} を得ることができる。 $1/f$ ノイズ成分も、減算回路 12 により取り除かれる。

【0012】図 14 及び図 15 はそれぞれ、特開平 1-106677 号公報に開示された出力回路の回路図およびタイミング図である。この回路では、リセット・フィードスルー期間のクランプと遅延回路とを利用して、リセット・フィードスルー・ノイズを取り除く。図 14 及び図 15 を参照して、信号取出し回路 51 から出力される信号電圧はアンプ 52A を通った後、クランプスイッチ 53S、クランプコンデンサ C_{CL} 、クランプ電圧源 53V (電圧 $= V_C$) からなるクランプ回路 53 (クランプパルス ϕ_{CL}) により、リセット・フィードスルー期間の DC レベルが一定値 V_C にクランプされる。その後、アンプ 52B、クリップ回路 58 を通過して出力波形の波高値が一定になった信号電圧 S_{V1} は 2 つに分けられ、一方はそのまま非加算混合器 59 に入力される。もう一方は遅延回路 60 を通して更に 2 つの信号 S_{V2} および信号 S_{V3} に分けられた後、非加算混合器 59 に入力される。信号 S_{V2} 、 S_{V3} の信号 S_{V1} に対する遅延時間をそれぞれ T_{d1} 、 T_{d2} とし、この非加算混合器 59 の構成を、3 つの入力信号 S_{V1} 、 S_{V2} 、 S_{V3} の

6

中で最小レベルを出力するような構成にすることにより、リセット・フィードスルー・ノイズが取り除かれた信号電圧 S_{V4} を得ている。

【0013】

【発明が解決しようとする課題】上に述べたそれぞれの技術を適用することにより、リセット・フィードスルー・ノイズを低減することができる。それらのノイズ低減対策にはしかしながら、それぞれ下記のような問題点がある。

10 【0014】先ず、図 8 に示した例では、リセット・フィードスルー・ノイズのみを発生させる回路が必要であり、1C 化したときチップ面積が増加するという問題点がある。これは、最近の一次元 CCD 固体撮像装置のように出力回路が多段の増幅回路になり面積が大きくなるほど、それに応じてリセット・フィードスルー・ノイズ発生回路も面積が大きくなることから、チップコストの面から考えても不利である。又、リセット・フィードスルー・ノイズは既に述べたように、その成分から考えてランダムノイズであるので、減算回路 12 に入力される信号出力 V_{out} とリセット・フィードスルー・ノイズ出力 V_{es} それぞれのリセット・フィードスルー期間の DC レベルは同一にできても、リセット・フィードスルー・ノイズ自体は同一とは限らない。従って、減算回路 12 でリセット・フィードスルー・ノイズを完全に取り除くことはできない。又、外部に減算回路 12 を必要とするため、固体撮像装置を FAX やスキャナ等に用いる場合、部品増加とそれに伴うコストアップが生じる。この点を改善するべく、減算回路 12 までを含めて同一チップ上に形成することは可能であるが、固体撮像装置自体の面積が更に増加するという問題を引き起す。

20 【0015】次に、図 10 に示した出力回路では、1 画素期間の内に、リセット・フィードスルー期間にはクランプパルス ϕ_{CL} を入力し、信号期間にはサンプルホールドパルス ϕ_{SH} を入力するというように、2 つの異なるパルスをそれぞれ入力する必要がある。その結果、固体撮像装置のデータレートがより 1 画素期間の長さが短くなるに従って、それぞれクランプ回路 13、サンプルホールド回路 14 を十分速く動作させることが必要となり、固体撮像装置の高速化を進める上で問題となる。例えば、5k ビットクラスの一次元 CCD 固体撮像装置では、データレート 10~20MHz 程度のスピードが要求される。この場合、1 画素期間は 100~50ns となる。その結果、クランプ動作、サンプルホールド動作を行う時間はそれぞれ 10~20ns 程度となり、回路設計が容易でなくなる。このような事情は図 13 に示した例でも同様で、1 画素期間に 2 つの異なるサンプルホールドパルス SP_1 、 SP_2 が必要である。

30 【0016】又、図 14 に示した例では、リセット・フィードスルー期間の DC レベルを一定値にクランプした後の信号電圧 S_{V1} を、遅延回路 60 を用いて 3 つの信

(5)

特開平8-186765

7

号電圧 SV_1 、 SV_2 、 SV_3 に分け、非加算混合器59にてそれらの最小レベルを出力するようにしてリセット・フィードスルー・ノイズを取り除いているが、遅延した信号電圧 SV_3 の遅延時間 T_{d2} が非遅延信号電圧 SV_1 の(リセット期間+リセット・フィードスルー期間)より大きい場合、各画素の出力はその1画素前の信号電圧と混ってしまうので、遅延回路60の設計には注意が必要である。特に固体撮像装置の高速化を進める上では、精度および安定性のよい遅延回路が必要となる欠点がある。又、これらの遅延回路60や非加算混合器59を含めて同一チップ上に形成すると、チップ面積が増加しコストが上昇してしまう。

【0017】

【課題を解決するための手段】本発明の固体撮像装置の出力回路は、固体撮像装置が入射光を光電変換しリセット期間、リセット・フィードスルー期間及び信号期間に分けて出力する信号電圧を外部に取り出すために、前記固体撮像装置の出力信号電圧を受け、これを反転して正極性の信号電圧にする手段と、前記正極性信号電圧のリセット・フィードスルー期間の直流レベルを一定値にクランプする手段と、前記クランプされた後の信号電圧を増幅する電圧増幅手段と、前記電圧増幅手段を通った後の信号電圧を、その信号電圧のリセット・フィードスルー期間の直流レベルと同一のレベルでクリップして、リセット期間とリセット・フィードスルー期間の信号レベル差を除去するクリップ手段とを少なくとも備え、前記固体撮像装置と同一半導体基板上に形成されたことを特徴とする。

【0018】

【実施例】次に、本発明の好適な実施例について、図面を参照して説明する。図1(a)は、本発明の第1の実施例による固体撮像装置の出力回路の回路図である。尚、この出力回路を含む固体撮像装置全体の構成は、既に述べた図6に示す構成と同じである。図1(a)を参照して、本実施例の出力回路は、インバータアンプ21と、そのインバータアンプ21からの信号電圧 SV_1 のリセット・フィードスルー期間のレベルを一定レベルにクランプするクランプ回路32と、クランプ回路32からの信号電圧 SV_2 を受けるソースホロワアンプ26Aと、ソースホロワアンプ26Aからの信号電圧 SV_3 を一定レベルでクリップするダイオードクリップ回路33と、クリップされた信号 SV_3 を反転増幅して入力信号 SV と同一極性に戻すインバータアンプ30と、インバータアンプ30からの信号電圧を外部に出力するためのソースホロワアンプ31とからなる。

【0019】インバータアンプ21は、固体撮像装置の出力回路のうちの初段ソースホロワ(図6参照。能動側MOSトランジスタ Q_D と負荷側MOSトランジスタ Q_L とからなる)を通過した信号電圧 SV を反転増幅(増幅率 $=-\alpha$)し、正極性の信号電圧 SV_1 にする。

8

【0020】クランプ回路32は、一方の電極がインバータアンプ21の出力点に接続するクランプコンデンサ C_{CL} と、 n チャネル型MOSトランジスタ Q_{CL} と、 p n 接合ダイオード D_{iA} と、電圧源(電圧 $=V_C$)25Aの直列接続からなる。MOSトランジスタ Q_{CL} はゲート入力としてクランプパルス ϕ_{CL} を与えられて、クランプスイッチとして作用する。

【0021】ダイオードクリップ回路33は、カソードがソースホロワアンプ26Aの出力点およびインバータアンプ30の入力点に接続する p n 接合ダイオード D_{iB} と、ソースホロワアンプ26Bと、電圧源25Bとの直列接続からなる。

【0022】本実施例においては、後に動作説明の部分で述べるように、クランプ回路32を通った後の信号電圧におけるリセット・フィードスルー期間のDCレベルとクリップ回路33でのクリップレベルとを一致させる。このことから、それぞれの回路32、33それぞれに用いる回路素子には、上記の条件を満たすように配慮する。すなわち、ダイオード D_{iA} と D_{iB} とは、それぞれの順方向立上り電圧が同じくなるように、接合面積を等しくする。

【0023】次に、ソースホロワアンプ26A、26Bの入出特性どうしが等しくなるようにする。これら2つのソースホロワアンプは一例として、図1(b)に示すように、能動側および負荷側2つの n チャネル型MOSトランジスタ Q_1 、 Q_2 を直列接続し、負荷側MOSトランジスタ Q_2 のゲート電極に一定電位を与え、能動側MOSトランジスタ Q_1 のゲート電極に入力信号 V_1 を与え、2つのトランジスタの直列接続点から出力信号 V_0 を取り出すように構成する。この構成のソースホロワアンプの場合、増幅率 β 及び入出力特性はそれぞれ、 $\beta = g_m \cdot R_{ON} / (1 + g_m \cdot R_{ON})$
 $V_0 = \alpha \cdot (V_1 - V_{T1})$ (図1(c)参照)

(但し、 g_m は、能動側トランジスタ Q_1 の相互コンダクタンス

R_{ON} は、負荷側トランジスタ Q_2 のオン抵抗
 V_{T1} は、能動側MOSトランジスタ Q_1 のしきい値電圧)

となって、能動側トランジスタ Q_1 、負荷側のMOSトランジスタ Q_2 の特性によって決る。従って、本実施例では、2つのソースホロワアンプ26A、26Bで対応するトランジスタどうしの特性すなわち、 g_m 、 R_{ON} 、 V_{T1} が揃うように、チャネル長、チャネル幅、ゲート膜厚、チャネル濃度などトランジスタ特性を決める部分を同一構造にしている。ここで、ソースホロワアンプでは、通常、負荷側トランジスタ Q_2 を定電流源として用いるのでそのオン抵抗 R_{ON} は大きく、従って増幅率 $\beta = 0.9 \sim 0.95$ 程度が容易に実現できる。図1(c)に、そのような $\beta \approx 1.0$ の場合の入出力特性を示す。

尚、上述のソースホロワアンプでは負荷側MOSトラン

(6)

特開平8-186765

9

10

ジスタ Q_2 として、しきい値電圧 V_{T2} が正のエンハンスメント型トランジスタを用いているが、図1(d)に示すように、しきい値電圧が負のデプリーション型トランジスタを用いゲート電位をグラウンド電位に固定して、定電圧源を省いた構成にすることもできる。

【0024】更に、電圧源25A、25Bの出力電圧が等しくなるようにする。これら2つの電圧源は一例として、図2(a)に示すような、ゲート電極とドレイン電極とを接続した2つのnチャネル型MOSトランジスタ Q_3 、 Q_4 を直列接続し、その直列接続点から出力電圧 V_C を取り出すように構成する。この構成の電圧源はインバート回路の入出力端子をショートさせた回路と等価であるので、電圧 V_C は、2つのMOSトランジスタ Q_3 、 Q_4 からなるインバート回路の入出力特性と傾き45度で原点を通る直線との交点で決まる。この場合、インバート回路の増幅率は良く知られているように、能動側MOSトランジスタ Q_3 の相互コンダクタンスと負荷側MOSトランジスタ Q_4 の相互コンダクタンスとの比、換言すれば能動側MOSトランジスタ Q_3 におけるチャネル幅 W_3 とチャネル長 L_3 との比 W_3/L_3 と、負荷側MOSトランジスタ Q_4 におけるチャネル幅 W_4 とチャネル長 L_4 との比 W_4/L_4 とにより変化させることができるので、チャネル長、チャネル幅、チャネル濃度など、トランジスタの構造を適当に設計することにより任意の出力電圧 V_C を得ることができると同時に、2つの電圧源25A、25Bの出力電圧を揃えることができる。尚、電圧源25A、25Bとして、例えば図1(c)に示すような、2つの抵抗体 R_1 、 R_2 を直列に接続しその直列接続点から出力電圧 V_C を取り出す構成のブリーダ回路を用いてもよい。その場合には、当然、抵抗体のシート抵抗、長さ、幅を2つの電圧源25A、25Bで同一にすることになる。

【0025】以下に、本実施例の動作について説明する。図3は、図1(a)において、クランプパルス ϕ_{CL} と各節点の信号電圧 SV 、 SV_1 、 SV_2 、 SV_3 、 V_{out} の関係を示すタイミング図である。図1(a)及び図3を参照して、この出力回路に入力された信号電圧 SV は、既に述べたように、1画素期間がリセット期間、リセット・フィードスルー期間および信号期間の3つの期間からなる。これを先ずインバータアンプ21により反転させ、正極性(信号電圧 SV が増加するほどDCレベルが正の方向に増加する)の信号 SV_1 にする。

【0026】次に、リセット・フィードスルー期間の一部において、クランプパルス ϕ_{CL} を「ハイ」にしてクランプ回路32内のMOSトランジスタ Q_{CL} をオン状態にし、信号 SV_1 のリセット・フィードスルー期間におけるDCレベルを一定値にクランプして信号電圧 SV_2 にする。このときのクランプレベルは、電圧源25Aの出力電圧 V_C からダイオード D_{iA} の順方向立上り電圧($\approx 0.6V$)が差し引かれた電圧 $V_C - 0.6(V)$ で

ある。

【0027】上記の信号電圧 SV_2 は続いてソースホロワアンプ26Aを通過して信号電圧 SV_3 となるが、この場合、ソースホロワアンプ26Aが図1(c)に示すような入出力特性を持つ(但し、増幅率 $\beta=1$ としている)ことから、ソースホロワアンプ26A通過直後のリセット・フィードスルー期間のDCレベルは、 $V_C - 0.6 - V_{T1}(V)$ となる。ところがソースホロワアンプ26Aの出力点がクリップ回路33に接続されているので、信号電圧 SV_3 はクリップレベル以下の部分が切り取られた波形の信号となる。ところで、クリップ回路33では、そのクリップレベル(=電圧源25Bの出力電圧-ソースホロワアンプ26Bの能動側MOSトランジスタのしきい値電圧-ダイオード D_{iB} の順方向立上り電圧)を決めるダイオード D_{iB} 、電圧源25B及びソースホロワアンプ26Bが、クランプ回路34を構成するダイオード D_{iA} と電圧源25A及びソースホロワアンプ26Aとそれぞれ同一の電気的特性を持っているので、ソースホロワアンプ26A通過直後の信号電圧におけるリセット・フィードスルー期間のDCレベルとクリップレベルとが同一である。つまり、信号電圧 SV_3 は信号電圧 SV_2 において、 $V_C - 0.6(V)$ 以下のレベルすなわちリセット・フィードスルー・ノイズだけが取り除かれた波形となる。

【0028】この後、リセット・フィードスルー・ノイズのない信号電圧 SV_3 は、インバータアンプ30、ソースホロワアンプ31を通過し、通常の固体撮像装置の出力と同一の負極性の出力信号 V_{out} として出力端子から出力される。

【0029】尚、本実施例では、リセット・フィードスルー・レベルを一定値にクランプする操作を行っているため、初段ソースホロワアンプより発生する $1/f$ ノイズも取り除かれていることは、従来の技術の項で説明したとおりである。

【0030】次に、本発明の第2の実施例について、説明する。図4(a)は本発明の第2の実施例の回路図である。この実施例は第1の実施例に対し、クランプ回路32とダイオードクリップ回路35とを接続する電圧アンプを増幅率-1のインバータアンプ34Aに変え、これに伴って、クリップ回路35を構成する電圧アンプをインバータアンプ34Aと同一特性のインバータアンプ34Bに変更すると共に、ダイオード D_{iB} を逆向きに接続している点が異っている。本実施例は第1の実施例と比べて、インバータアンプ30(図1(a)参照)が1段減った構成となっている。

【0031】本実施例でも、第1の実施例におけると同様に、リセット・フィードスルー・ノイズを除去する。以下にその説明をする。先ず、本実施例で用いるインバータアンプ34A、34Bの回路図を図4(b)に示す。図4(b)を参照して、このインバータアンプは、

(7)

特開平8-186765

11

正のしきい値電圧を持つ2つのエンハンスメント型MOSトランジスタ Q_5 、 Q_6 を直列に接続したE/E構成のインバータアンプである。負荷側MOSトランジスタ Q_6 は、ゲート電極とドレイン電極とを接続したダイオード接続となっている。入力信号 V_i は能動側MOSトランジスタ Q_5 のゲート電極に入力され、出力信号 V_o は2つのMOSトランジスタの直列接続点から取り出される。このインバータアンプの入出力特性を図4(c)に示す。インバータアンプでは、前述したように、能動側MOSトランジスタ Q_5 におけるチャネル幅対チャネル長と、負荷側MOSトランジスタ Q_6 におけるチャネル幅対チャネル長を適当に選ぶことにより所望の増幅率を実現できるが、図4(c)には、増幅率が-1の場合を示す。図4(c)を参照して、このインバータの入出力特性は、点(V_{T5} , $V_{DD}-V_{T6}$)を通る-45度の傾きの直線になる。すなわち、入力電圧 V_i を入力したときの出力電圧 V_o は、

$$V_o = -V_i + (V_{DD} - V_{T6} + V_{T5})$$

(但し、 V_{DD} は、このインバータアンプの電源電圧

V_{T5} は、能動側MOSトランジスタ Q_5 のしきい値電圧 ($> 0V$)

V_{T6} は、負荷側MOSトランジスタ Q_6 のしきい値電圧 ($> 0V$))

となる。

【0032】次に、本実施例における動作時のタイミング図を、図5に示す。図5を参照して、この回路への入力信号 S は、インバータアンプ21により負極性に反転増幅されて信号電圧 S_{V1} となり、次いで、クランプ回路32によりリセット・フィードスルー期間のDCレベルが一定値 $V_c - 0.6(V)$ にクランプされた信号電圧 S_{V2} となる。この信号電圧 S_{V2} はこの後、インバータアンプ34Aを通過し再度反転されるが、この場合、インバータアンプ32Aが図4(c)に示すような入出力特性を持つので、インバータアンプ32Aを通過直後のリセット・フィードスルー期間のDCレベルは、 $-V_c + 0.6 + (V_{DD} - V_{T6} + V_{T5})(V)$ となる。ところが、インバータアンプ34Aの出力点がクリップ回路35に接続されているので、信号電圧 S_{V3} はクリップレベル以上の部分が切り取られた波形の信号となる。ところで、クリップ回路36においては、そのクリップレベルを決めるダイオード D_{1B} 、電圧源25B及びインバータアンプ34Bが、クランプ回路32を構成するダイオード D_{1A} と電圧源25A及びインバータアンプ34Aとそれぞれ同一の電気的特性を持っているので、インバータアンプ34A通過直後の信号電圧におけるリセット・フィードスルー期間のDCレベルとクリップレベルとが同一である。つまり、信号電圧 S_{V3} は信号電圧 S_{V2} において、 $V_c - 0.6(V)$ 以下のレベルすなわちリセット・フィードスルー・ノイズだけが取り除かれた波形となる。信号電圧 S_{V3} はこの後ソースホロ

12

ワンプ31を通過し、出力信号電圧 V_{out} として外部に取り出される。

【0033】第1の実施例の場合、ソースホロワアンプ26A、26Bの増幅率を1にできるだけ近づける必要があるが、それにも拘らず現実には0.90~0.95であり、そのためリセット・フィードスルー・ノイズがその差の分だけ残ってしまうのに対し、本実施例では、クランプ回路とダイオードクリップ回路を接続する電圧アンプとしてインバータアンプを用いているので、増幅率を容易に-1にできる利点がある。

【0034】

【発明の効果】以上説明したように、本発明は、リセット・フィードスルー期間のDCレベルを一定値にクランプするクランプ回路と、このクランプ回路に用いているダイオード、電圧源、クランプ回路とダイオードクリップ回路を接続する電圧アンプとそれぞれ同一電気特性のダイオード、電圧源、電圧アンプを用いたダイオードクリップ回路とにより、固体撮像装置と同一チップ上に集積化した場合でも殆どパターン面積の増加なしに、リセット・フィードスルー・ノイズを取り除くことができる。

【0035】しかも、これらクランプ回路、電圧アンプ、ダイオードクリップ回路を構成する素子をそれぞれ同一構造とすることにより、クランプレベル及びダイオードクリップレベルの設計値からのずれをほぼ同一にできるので、安定してリセット・フィードスルー・ノイズを除去ができる。

【0036】回路構成が簡単であるので、上記の回路素子は同一チップ上で数10 μm 程度のごく近い距離に配置可能であり、このようにすれば上記の安定度は更に向上する。

【0037】電圧アンプとしてインバータアンプを用いれば、アンプの増幅率を容易に-1に設定できるので、ノイズの除去精度を高くできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による出力回路の回路図、第1の実施例に用いたソースホロワアンプの回路図とその入出力特性図、及びソースホロワアンプの他の例の回路図である。

【図2】第1の実施例に用いた電圧源の回路図とその出力特性図、及び電圧源の他の例の回路図である。

【図3】第1の実施例の動作時のタイミング図である。

【図4】本発明の第2の実施例による出力回路の回路図、及び第2の実施例に用いたインバータアンプの回路図とその入出力特性図である。

【図5】第2の実施例の動作時のタイミング図である。

【図6】同一半導体基板上に形成された出力回路を含む、固体撮像装置の全体構成図である。

【図7】図6に示す固体撮像装置の動作時のタイミング図である。

(8)

特開平8-186765

13

【図8】リセット・フィードスルー・ノイズ低減対策を施した従来の固体撮像装置の一例の全体構成図である。

【図9】図8に示す固体撮像装置の動作時のタイミング図である。

【図10】リセット・フィードスルー・ノイズ低減対策を施した従来の出力回路の一例の回路図である。

【図11】図10に示す出力回路の動作時のタイミング図である。

【図12】従来の出力回路の他の例の回路図である。

【図13】図12に示す出力回路の動作時のタイミング図である。

【図14】従来の出力回路の更に他の例の回路図である。

【図15】図14に示す出力回路の動作時のタイミング図である。

【符号の説明】

- 1 n型シリコン基板
- 2 pウェル
- 3 受光部
- 4 電荷読出し部

5 電荷転送部

6, 6B 信号電荷変換部

10 出力部

11, 11B 出力回路

12 減算回路

13 クランプ回路

14, 15A, 15B, 15C サンプルホールド回路

51 信号取出し回路

52A, 52B アンプ

63 クランプ回路

58 クリップ回路

59 非加算混合器

60 遅延回路

21, 30 インバータアンプ

25A, 25B 電圧源

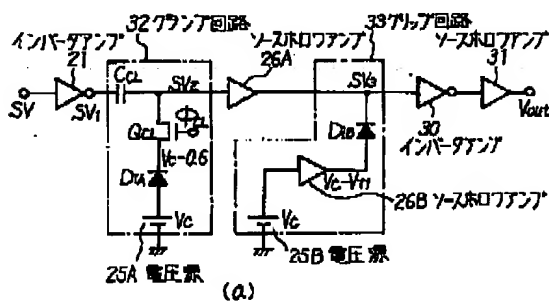
26A, 26B, 31 ソースホロワアンプ

32 クランプ回路

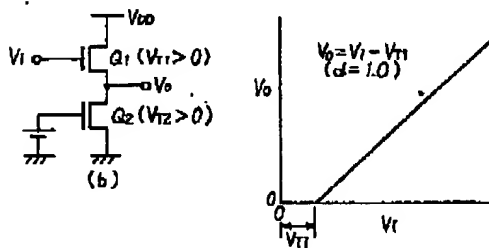
33, 35 クリップ回路

20 34A, 34B インバータアンプ

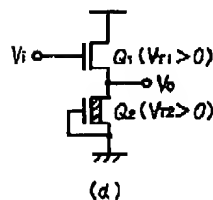
【図1】



(a)

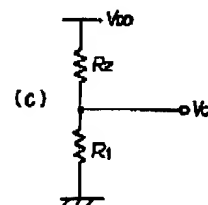
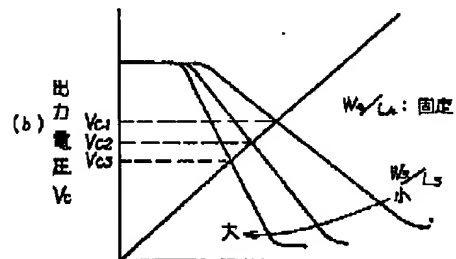
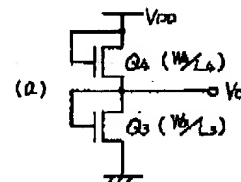


(c)



(d)

【図2】

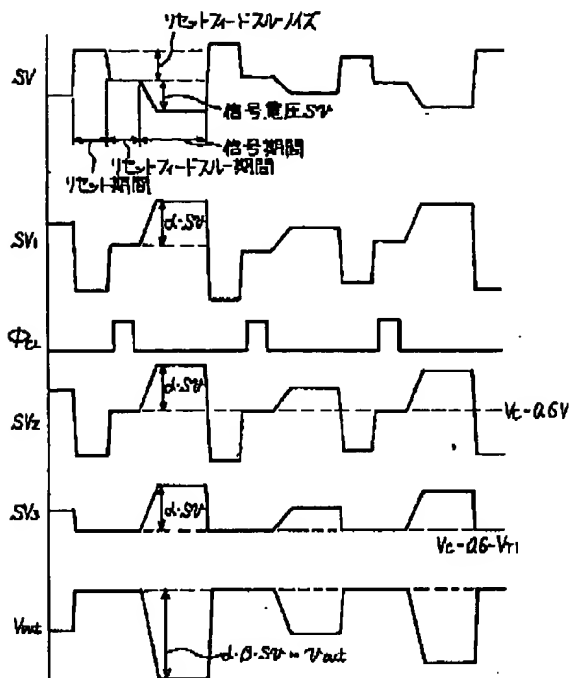


(c)

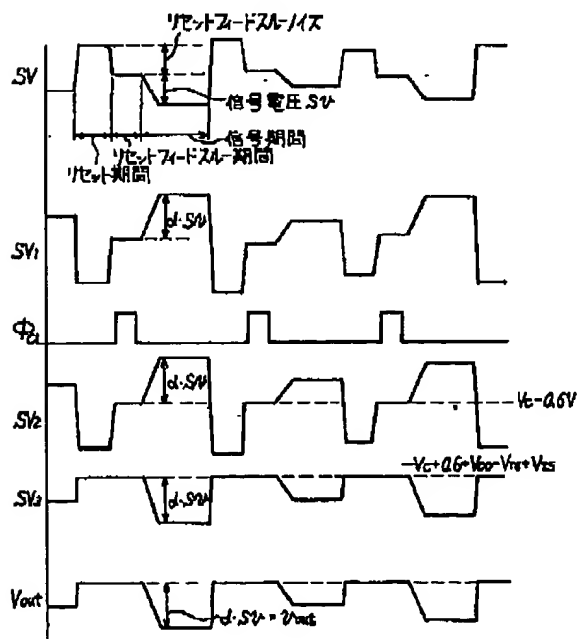
(9)

特開平 8 - 1 8 6 7 6 5

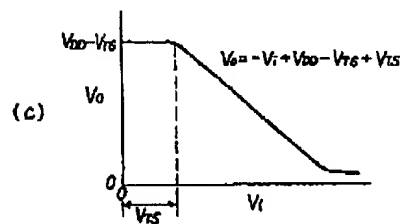
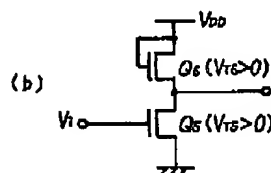
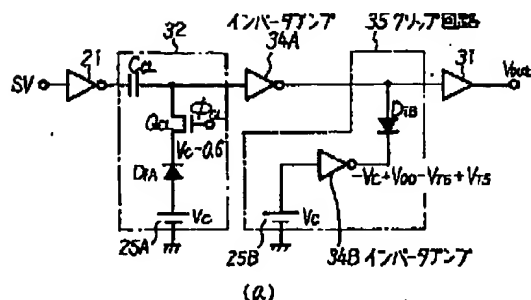
【図 3】



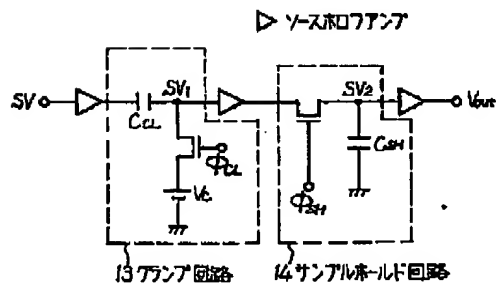
【図 5】



【図 4】



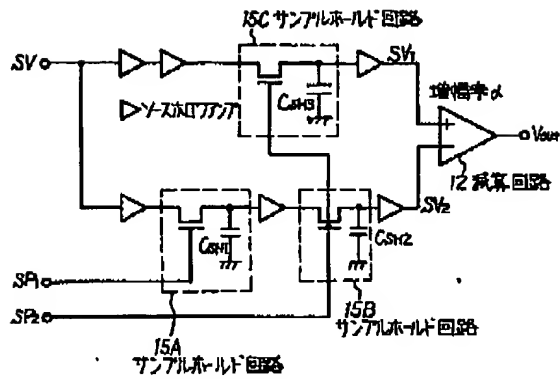
【図 10】



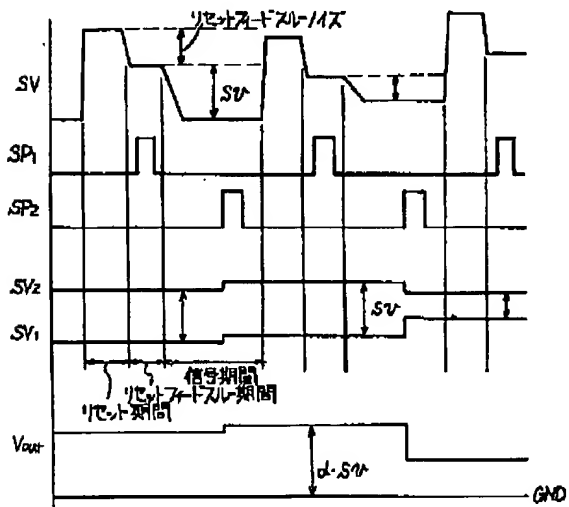
(12)

特開平 8-186765

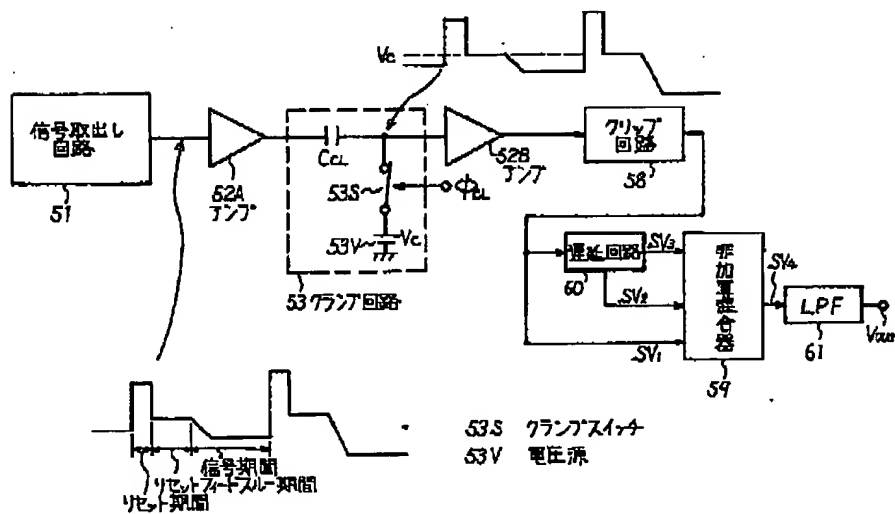
【 1 2 】



【 13 】



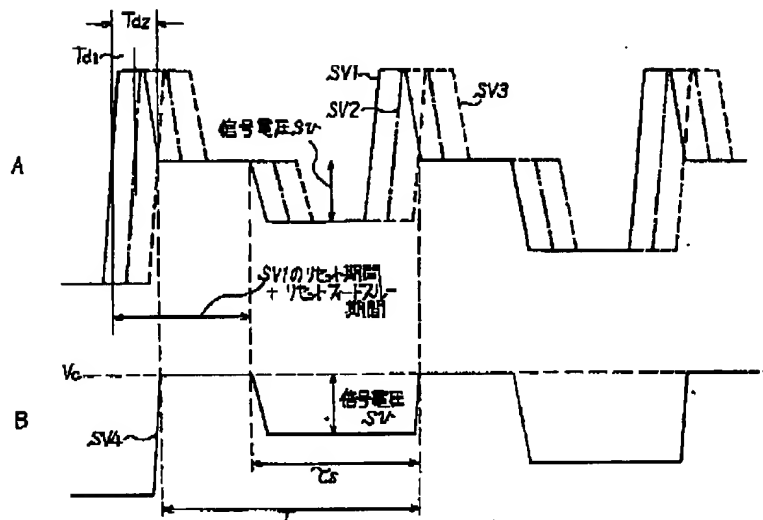
【図 14】



(13)

特開平 8-186765

【図 15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.